

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-211762
(43)Date of publication of application : 02.09.1988

(51)Int.CI.

H01L 29/78

(21)Application number : 62-044410
(22)Date of filing : 27.02.1987

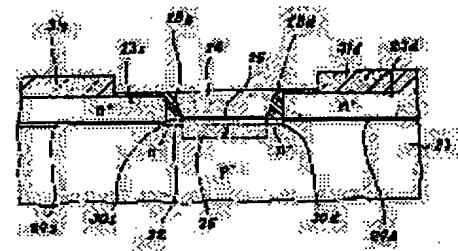
(71)Applicant : SONY CORP
(72)Inventor : YAGI ATSUO

(54) INSULATED-GATE SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To prevent the generation of a sub-threshold current, by forming source and drain regions by the diffusion of impurities from a semiconductor layer beneath the first conductivity type semiconductor layer.

CONSTITUTION: A gate electrode 24 is formed through a gate insulating film 25. Low impurity concentration regions 30s and 30d, which are formed with a low impurity concentration semiconductor layer 22, are present on both sides of the deposited part of the electrode 24, i.e., a channel forming part of a region 26 at a gate part. Impurity layers of SiO₂ and the like, i. e., side walls 28s and 28d, are formed thereon. Thus, inverted layers, i.e., depression regions, are formed on the surfaces of the regions 30s and 30d. The depths of the regions 29s and 29d are formed by the diffusion of the impurities from first conductivity type semiconductor layers 23s and 23d, i.e. by auto-doping. Therefore, the depths can be controlled sufficiently thinly, e.g. by about 0.1 μm.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

⑫ 公開特許公報(公) 昭63-211762

⑬ Int.Cl.
H 01 L 29/78識別記号: 場内整理番号
301 Z-8422-5F

⑭ 公開 昭和63年(1988)9月2日

審査請求 未請求 発明の数 2 (全6頁)

⑮ 発明の名称 絶縁ゲート型半導体装置とその製法

⑯ 特願 昭62-44410

⑰ 出願 昭62(1987)2月27日

⑱ 発明者 八木 厚夫 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑲ 出願人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑳ 代理人 弁理士 伊藤 貞 外1名

明細書

発明の名称 絶縁ゲート型半導体装置とその製法

特許請求の範囲

1. 低不純物濃度の半導体層上に、チャンネル部上で離間する第1導電型の不純物を含有する半導体層が形成され、

該第1導電型の半導体層が含有する不純物により自己整合的にソース領域とドレイン領域とが上記低不純物濃度の半導体層に離間して形成され、

上記第1導電型の半導体層の離間部内にゲート電極がゲート絶縁膜を介して形成され、該ゲート電極直下の上記低不純物濃度の半導体層に該半導体層よりも高不純物濃度の第2導電型の領域が設けられてなることを特徴とする絶縁ゲート型半導体装置。

2. 低不純物濃度の半導体層上にチャンネル部で離間する第1導電型の半導体層を形成する工程と、

該第1導電型の半導体層を覆って絶縁層を

形成する工程と、

該絶縁層を異方性エッチングし、上記第1導電型半導体層の離間部側壁面にサイドウォールを形成する工程と、

該サイドウォールと上記第1導電型の半導体層をマスクにして第2導電型の不純物をイオン注入して上記離間部に対応する第2導電型の半導体領域を形成する工程と、

上記離間部にゲート絶縁膜を介してゲート電極を形成する工程とを有し、

上記第1導電型の半導体層下に該半導体層からの不純物の拡散によるソース及びドレイン各領域を形成することを特徴とする絶縁ゲート型半導体装置の製法。

発明の詳細な説明

(産業上の利用分野)

本発明はいわゆるMIS(導体-絶縁層-半導体)型ゲート部構造による絶縁ゲート型半導体装置とその製法に関するものである。

(発明の概要)

本発明は低不純物濃度の半導体層上にチャンネル部上で離間する第1導電型の半導体層が含有する不純物により自己整合的にソース領域とドレイン領域とが上述の低不純物濃度の半導体層に形成され、この離間部内にゲート電極がゲート絶縁膜を介して形成され、このゲート電極直下の低不純物濃度の半導体層にこの半導体層よりも高不純物濃度の第2導電型の領域が設けられた構成とする。また、本発明はこの構成による絶縁ゲート型半導体装置を、低不純物濃度の半導体層上にチャンネル部で離間する第1導電型の半導体層を形成する工程と、この半導体層を覆って絶縁層を形成する工程と、この絶縁層を異方性エッチングして上述の第1導電型半導体層の離間部側壁面にサイドウォールを形成する工程と、このサイドウォールと第1導電型の半導体層をマスクにして不純物のイオン注入を行って第2導電型の半導体領域を選択的に形成する工程と、上述の離間部にゲート絶縁膜を介してゲート電極を形成する工程とを有し、

を被着し、このゲート電極(4)のソース及びドレイン側の各側壁面に例えばS10₂よりなるサイドウォール(5a)及び(5d)を形成し、これらゲート電極(4)及びサイドウォール(5a)及び(5d)をマスクとしてその上方よりn型の不純物をイオン注入することによってサイドウォール(5a)及び(5d)の各ソース及びドレイン領域(2a)及び(2d)に向って厚みの減少する部分に応じた深さの不純物イオン注入を行って低不純物濃度のソース及びドレイン各領域(12a)及び(12d)の形成を行うようにしている。

(6a)及び(6d)はソース及びドレイン各領域(2a)及び(2d)にそれぞれオーミックに接着したソース及びドレイン各電極を示す。

このような構成によるLDD型MISトランジスタにおいては、そのソース及びドレイン各領域(2a)及び(2d)の深さx₁は例えば0.2μm程度の比較的深い厚さを有し、低不純物濃度ソース及びドレイン各領域(12a)及び(12d)の深さx₂は例えば0.15μm程度となる。したがって高不純物濃度のソース及びドレイン各領域(2a)及び(2d)は、低

第1導電型の半導体層下にこれよりの不純物の拡散によるソース及びドレイン各領域を形成する方法をとる、そのゲート部にドレイン側の電界を緩和する反転領域すなわちデプレッション領域を形成し、さらにサブスレッショルド(Subthreshold)電流の減少化を図る。

(従来の技術)

従来の絶縁ゲート型半導体装置、例えばLDD(ラディオ・ドープト・ドレイン)MIS型トランジスタは、第3図にその略図的拡大断面図を示すように例えばp型の半導体基板上に深さx₁をもつてn型の高不純物濃度のソース領域(2a)とドレイン領域(2d)が選択的拡散等によって形成され、その相対向する内側縁に低不純物濃度のソース領域(12a)及びドレイン領域(12d)が形成される。これら低不純物濃度のソース及びドレイン各領域(12a)及び(12d)は、それぞれチャンネル形成部にゲート絶縁膜(3)を介して、不純物がドープされた低比抵抗多結晶シリコン層によるゲート電極(4)

不純物濃度の領域(12a)及び(12d)に比し、かなり深いのでソース及びドレイン各領域(2a)及び(2d)の底部の互いの対向部においてパンチホール電流の発生が問題となり、これがためにチャンネル部下には例えば深いイオン注入によって例えばp型の高濃度の埋め込み領域の形成が行われる。

上述したようなLDD型MISトランジスタにおいては、上述した領域の存在によってソース及びドレイン間にサブスレッショルド電流の発生を招来し、例えば第4図に示すドレイン電流Id-ゲート電圧V_G特性の本来の曲線(実験図示)におけるスレッショルド電圧V_{th}より低い電圧V_Gで電流Idが流れりわゆるサブスレッショルド電流が発生することになる。このサブスレッショルド電流は、例えばS-RAM(スタティック・ラングム・アクセス・メモリ)におけるように、このソース及びドレイン間に挿入される抵抗が大となる場合において出力低下を招来するという問題点が生じる。

さらにまたソース及びドレイン各領域(2s)及び(2d)の深さ×₁及び低不純物濃度のソース及びドレイン各領域(12s)及び(12d)の深さ×₂が比較的浅いことからソース及びドレイン各直列抵抗が大となり、相互コンダクタンスG_oを劣化させるという問題点がある。

さらにまた実際上多結晶シリコンによるゲート電極(4)には配線バターン等がソース及びドレイン各電極(6s)及び(6d)と共に例えばAと配線層によって構成されるものであるが、ゲート電極(4)に対する配線と電極(6s)及び(6d)のソース及びドレイン各領域(2s)及び(2d)への被着面に大きな段差が存在するためにこれら電極及び配線の形成に当つてのフォトリソグラフィー精度等にも問題が生じてくる。

(発明が解決しようとする問題点)

本発明は上述したパンチスルーカ電流を阻止するための高濃度埋め込み領域を設けることなく、あるいは比較的低不純物濃度もしくは小領域で可能

にして、これによるサブスレッショールド電流の発生を回避し、さらにソース及びドレイン各領域の直列抵抗の低下を図り、またソース及びドレイン各領域に対する電極の被着面とゲート電極への配線の被着面とがほぼ同一平面とするようにして信頼性の向上を図る。

(問題点を解決するための手段)

本発明においては第1図に示すように半導体基板(21)の一主面に臨んで低不純物濃度の半導体層(22)を設け、これの上のチャンネル形成部上で離間する第1導電型の半導体層(23s)及び(23d)を配置し、これら半導体層(23s)及び(23d)が含有する不純物により、これら層(23s)及び(23d)下に自己整合的にソース領域(24s)とドレイン領域(24d)を低不純物の半導体層(22)を挟んで離間するように形成し、両半導体層(23s)及び(23d)の離間部内にゲート電極(24)をゲート絶縁膜(25)を介して被着形成する。また、ゲート電極直下の低不純物濃度の半導体層(22)にこの半導体層(22)よ

りも高不純物濃度とされることによって形成された第2導電型領域(26)を設ける。

また、本発明においてはこのような構成による絶縁ゲート型半導体装置を製造するに、第2図Aに示すように、低不純物濃度半導体層(22)上にチャンネル部で離間する第1導電型の半導体層(23s)及び(23d)を形成する工程と、第2図Bに示すようにこれら第1導電型の半導体層(23s)及び(23d)を覆って絶縁層(27)を形成する工程と、この絶縁層(27)を異方性エッチングして第2図Cに示すように第1導電型半導体層(23)の離間部側壁面にこの絶縁層(27)によるサイドウォール(26s)及び(26d)を形成する工程と、これらサイドウォール(26s)及び(26d)と第1導電型の半導体層(23s)及び(23d)をマスクにして、低不純物濃度半導体層(22)の中央部に第2図Dに示すようにこの半導体層(22)の第1導電型の不純物を打ち消し、第2導電型に変する第2導電型の不純物のイオン注入を行つて第2導電型の半導体領域(26)を形成する工程と、この離間部に第2図Eに示すようにゲー

ト絶縁膜(25)を介してゲート電極(24)を形成する工程などを有し、第1導電型の半導体層(23s)及び(23d)下にこれら半導体層(23s)及び(23d)からの不純物の拡散によるいわゆるオートドーピングによるソース及びドレイン各領域(29s)及び(29d)を形成する。そして、これら領域(29s)及び(29d)間の互いに対向する端縁には低不純物濃度半導体層(22)の両側の領域(25)が形成されていない部分による低不純物濃度領域(30s)及び(30d)が形成される。

(31s)及び(31d)は各ソース及びドレイン領域(29s)及び(29d)上の第1導電型の半導体層(23s)及び(23d)上にオーミックに形成した例えは金属性電極よりなるソース及びドレイン各電極を示す。

(作用)

上述した本発明によれば、ゲート絶縁膜(25)を介して形成されたゲート電極(24)の被着部、すなわちゲート部の領域(26)のチャンネル形成部の両側には、それぞれ低不純物濃度半導体層(22)によ

って形成された低不純物濃度領域(30s)及び(30d)が存在し、これの上にSiO₂等の絶縁層すなわちサイドウォール(28s)及び(28d)が形成されていることによって、領域(30s)及び(30d)の表面には反転層すなわちデプレッショング領域が形成される。そして、各領域(29s)及び(29d)の深さは、これらがそれぞれ第1導電型半導体層(23s)及び(23d)からの不純物の拡散すなわちオートドーピングによって形成するようにしたので、その深さを充分薄く、例えば0.1 μm程度に制御することができ、これら領域(29s)及び(29d)は、これらの対向端縁側の低不純物濃度の領域(30s)及び(30d)の深さと同等ないしはこれより浅くすることができる。したがってバンチスルーレ電流の発生を効果的に回避することができ、これがため第3図で説明したようなバンチスルーレ電流を阻止するための高濃度埋込み領域を設ける必要がないか、あるいはほとんど設ける必要がないことから半導体内部を通ずるサブスレッショールド電流の発生を効果的に回避できる。

環状若しくはストライプ状にフォトリソグラフィによって選択的にエッティング除去してこれを挟んでその両側に半導体層(23s)及び(23d)を形成する。そして、この除去部を通じて例えばn型のAs不純物をイオン注入して低不純物濃度のn型またはp型の半導体層(22)を形成する。

次に、第2図Bに示すように半導体層(23s)及び(23d)間の離間部の側壁面(43s)及び(43d)を含んで全面的にSiO₂等を例えばCVDによって所要の厚さに被着する。

第2図Cに示すように異方性エッティング例えば反応性イオンエッティングRIEによってSiO₂絶縁層(27)をその表面からエッティングしていく、半導体層(23s)及び(23d)の側壁面(43s)及び(43d)への被着部を所要の幅をもって残してサイドウォール(28s)及び(28d)を形成し、他部を除去することによって窓(44)を穿設して低不純物濃度半導体層(22)の中央の一部を外部に露しましめる。

そして第2図Dに示すように、このサイドウォール(28s)及び(28d)の内側の低不純物濃度半導

また、ゲート電極(24)と第1導電型の半導体層(23s)及び(23d)の表面をほぼ同一平面とすることができるので、各ソース及びドレイン各電極(31s)及び(31d)の被着面とゲート電極(24)への配線被着面とをほぼ同一の平坦面とすることができ、これら電極ないしは配線の形成のための蒸着に際しての段切れさらにはフォトリソグラフィにおける段差に基づく精度の低下等を回避でき、信頼性の向上を図ることができる。

【実施例】

第2図を参照して本発明の一例を詳細に説明する。

まず、第2図Aに示すように例えばp型の低不純物濃度すなわち高比抵抗のシリコン半導体基板(21)を設け、その一主面(21a)上に全面的にn型の不純物例えばAsを高濃度にドープした半導体層(23s)及び(23d)を形成する半導体層を厚さ0.5 μm以上の例えば1 μmをもって周知の技術の化学的気相成長法CVDによって形成し、その一部を

半導体層(22)の表面露出部を例えば熱酸化してSiO₂ゲート絶縁膜(25)を被着形成し、その前または後にp型の不純物をイオン注入によって低不純物濃度半導体層(22)に比して高い不純物濃度をもって導入して低濃度第2導電型この例ではp型の半導体領域(26)を選択的に形成する。

次に第2図Bに示すように全面的に低比抵抗すなわち不純物が高濃度でドープされた多結晶シリコン層(45)をCVD法等によって形成する。

次に第2図Cに示すようにRIEエッティング等によって半導体層(23s)及び(23d)上の図示の例ではこれの上にゲート絶縁膜(25)の形成と同時に形成された絶縁膜(46)上を含んでほぼ一平面を形成する位置までエッティングする。

その後、第1図に示すように、各半導体層(23s)及び(23d)上に絶縁膜(45)に対して電極窓あけを行ってソース及びドレイン各電極(31s)及び(31d)と、図示しないがゲート電極(24)に対する配線の形成を行う。

尚、各部の導電型は、図示とは逆の導電型に選

定することもできる。

(発明の効果)

上述したように本発明によれば、ソース及びドレイン各領域(29s)及び(29d)を半導体層(23s)及び(23d)からの不純物のオートドープによって形成するようにしたので、これを充分薄い 0.1μ 程度にすることができる、上述したパンチスルーパスの発生を回避でき、これによってこのパンチスルーパスを阻止するための深いイオン注入等による埋込み領域の形成を回避するか、あるいは殆んど施さないようにすることができるのでサブレッシュホールド電流の発生を回避できる。また、ソース領域及びドレイン領域(29s)及び(29d)はこれらを薄く形成するものであるが、これの上に形成する半導体層(23s)及び(23d)としてはこれを例えば上述したような 0.5μ 以上の厚い例えれば 1.0μ に選定することができるので、ソース及びドレインの直列抵抗を充分小とすることができます、またG_oの向上を図ることができる。

また、ソース及びドレイン各電極(31s)及び(31d)の被覆面とゲート電極への配線被覆面とがほぼ同一平面とすることができるのでこの段差が生ずる場合における段切れあるいはフォトリソグラフィの精度の低下等を回避でき信頼性の高いMIS型半導体装置を得ることができる。

図面の簡単な説明

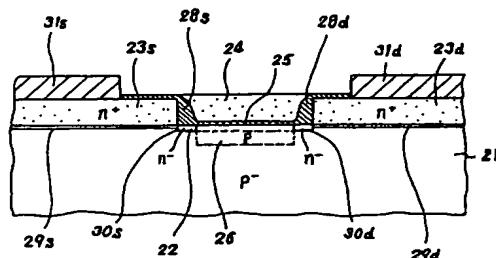
第1図は本発明による絶縁ゲート型半導体装置の略線的拡大断面図、第2図A～Fはその製法の一例の各工程の略線的断面図、第3図は従来装置の断面図、第4図はドレイン電流～ゲート電圧特性曲線図である。

(21)は半導体基板、(23s)及び(23d)は第1導電型の半導体層、(29s)及び(29d)はソース及びドレイン各領域、(22)は低不純物濃度半導体層、(24)はゲート電極、(25)はゲート絶縁膜、(26)は第2導電型の半導体領域である。

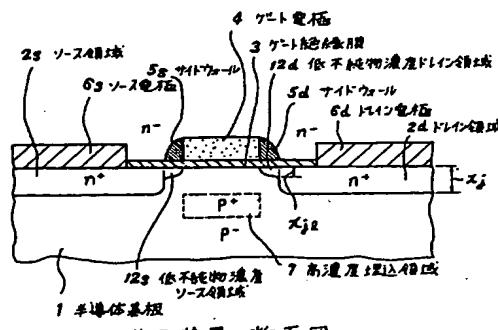
代理人 伊藤貞
同 松岡秀盛

21---半導体基板
23d,23s---第1導電型の半導体層
24---ゲート電極
25---ゲート絶縁膜
26---第2導電型の半導体領域
28d,28s---タイドワール

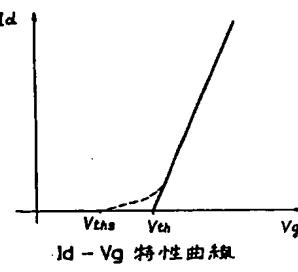
29d---ドレイン領域
29s---ソース領域
30d,30s---低不純物濃度
40s---領域
31d---ドレイン電極
31s---ソース電極



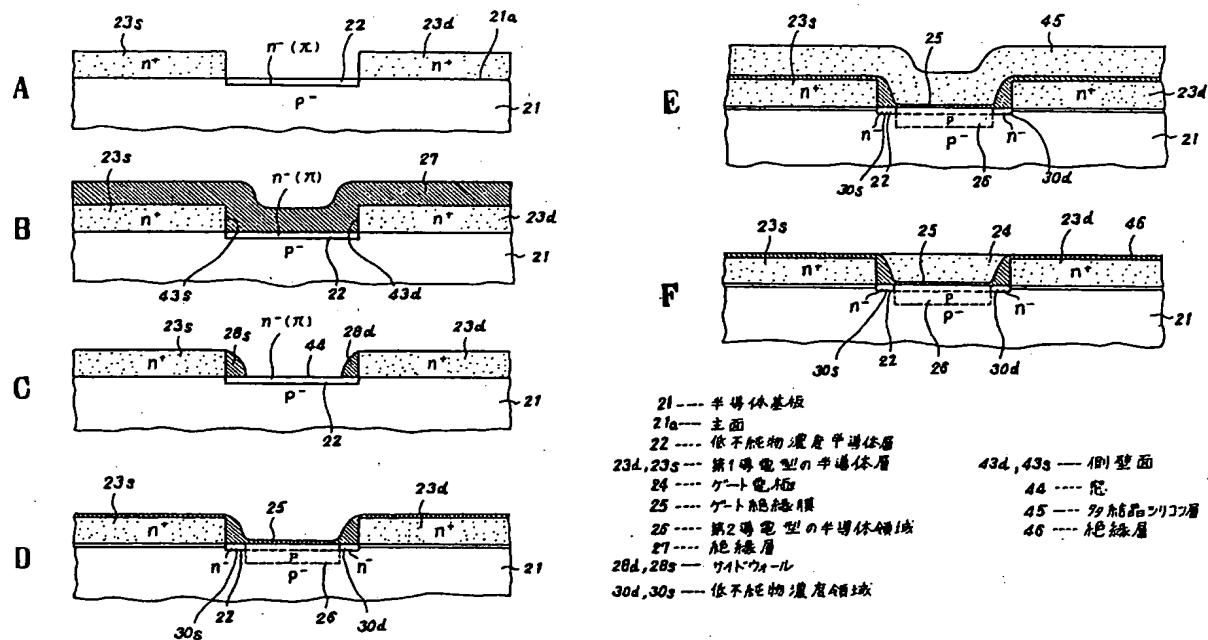
本発明装置の断面図
第1図



従来装置の断面図
第3図



Id - Vg 特性曲線
第4図



本発明製法の工程図
第2図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

BLACK BORDERS

IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT OR DRAWING

BLURRED OR ILLEGIBLE TEXT OR DRAWING

SKEWED/SLANTED IMAGES

COLOR OR BLACK AND WHITE PHOTOGRAPHS

GRAY SCALE DOCUMENTS

LINES OR MARKS ON ORIGINAL DOCUMENT

REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.